

**SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

Patent Number: JP10135344

Publication date: 1998-05-22

Inventor(s): MORI HIDEKI

Applicant(s):: SONY CORP

Requested Patent: ☐ JP10135344

Application Number: JP19960284774 19961028

Priority Number(s):

IPC Classification: H01L21/8222 ; H01L27/06 ; H01L21/28 ; H01L27/04 ; H01L21/822

EC Classification:

Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To obtain a lower electrode having a small parasitic capacitance and low resistance.

**SOLUTION:** On a semiconductor substrate 10 with element isolating regions 18, a Si-Ge layer 21 and Si layer 22 are formed, the Si layer 22 is patterned to form an emitter regions 22a of a bipolar transistor. The Si-Ge layer 21 is patterned to form a base region 21a of the bipolar transistor and resistor 21b and lower electrode 21c of a capacitor element on the element isolating regions 18. Thus the base region 21a, resistor 21b and lower electrode 21c of the capacitor element are formed in the same step to obtain a semiconductor device. The capacitive element is disposed on the element-isolating region to result in a small parasitic capacitance. The lower electrode 21c is composed of the Si-Ge layer 21, this lowering the resistance value.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135344

(43) 公開日 平成10年(1998) 5月22日

(51) IntCl.<sup>6</sup>H 0 1 L 21/8222  
27/06  
21/28  
27/04  
21/822

識別記号

3 0 1

F I

H 0 1 L 27/06  
21/28  
27/041 0 1 D  
3 0 1 F  
C

審査請求 未請求 請求項の数14 O L (全 9 頁)

(21) 出願番号

特願平8-284774

(22) 出願日

平成 8 年(1996)10月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 森 日出樹

東京都品川区北品川 6 丁目 7 番35号 ソニ  
ー株式会社内

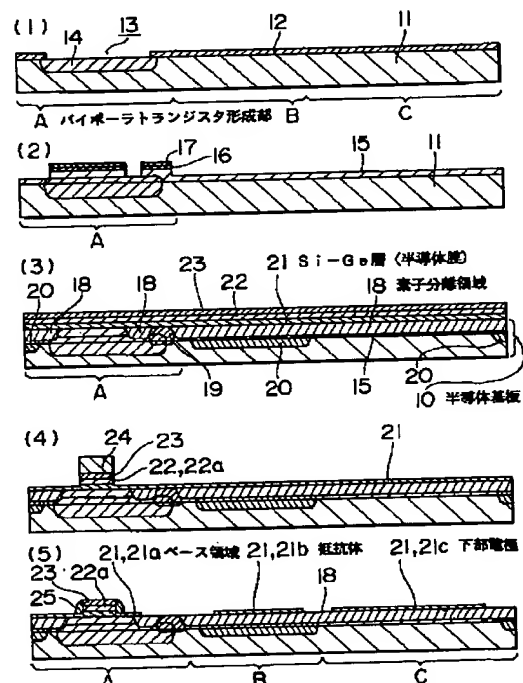
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 バイポーラトランジスタの拡散層やベース電極と同一工程では、寄生容量が小さく且つ低抵抗な下部電極を得ることができない。

【解決手段】 素子分離領域 18 が設けられた半導体基板 10 上に、Si-Ge 層 21 及びシリコン層 22 を順に成膜し、シリコン層 22 をパターニングしてバイポーラトランジスタのエミッタ領域 22a を形成する。次に、Si-Ge 層 21 をパターニングして、バイポーラトランジスタのベース領域 21a を形成すると共に、素子分離領域 18 上に抵抗体 21b 及び容量素子の下部電極 21c を形成する。これによって、バイポーラトランジスタのベース領域 21a と抵抗体 21b と容量素子の下部電極 21c とを同一工程で形成してなる半導体装置を得る。上記容量素子は素子分離領域上に設けられることから寄生容量が小さくなり、下部電極 21c は Si-Ge 層 21 で構成されることから抵抗値が低くなる。



本発明の第1実施形態を説明する図 (その1)

## 【特許請求の範囲】

【請求項 1】 シリコンからなる半導体基板の表面側における素子分離領域上に容量素子を設けてなる半導体装置において、前記容量素子の下部電極は、シリコンよりもキャリア移動度が高い半導体膜からなることを特徴とする半導体装置。

【請求項 2】 前記半導体膜は、ゲルマニウムを含有するシリコンからなることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 シリコンからなる半導体基板の表面側にヘテロ接合バイポーラトランジスタを設け、前記半導体基板の表面側における素子分離領域上に容量素子を設けてなる半導体装置において、前記半導体基板上に設けられる前記バイポーラトランジスタのベース領域と前記容量素子の下部電極とは、シリコンよりもキャリア移動度が高い半導体膜からなることを特徴とする半導体装置。

【請求項 4】 前記半導体基板の素子分離領域上には、前記半導体膜からなる抵抗体が設けられていること、を特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記半導体膜は、ゲルマニウムを含有するシリコンからなることを特徴とする請求項 3 記載の半導体装置。

【請求項 6】 シリコンからなる半導体基板の表面側における素子分離領域上に容量素子を設けてなる半導体装置において、前記容量素子の下部電極は、下層のポリシリコン膜とシリコンよりもキャリア移動度が高い上層の半導体膜との 2 層構造からなることを特徴とする半導体装置。

【請求項 7】 前記半導体膜は、ゲルマニウムを含有するシリコンからなることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 シリコンからなる半導体基板の表面側にヘテロ接合バイポーラトランジスタを設け、前記半導体基板の表面側における素子分離領域上に容量素子を設けてなる半導体装置において、前記半導体基板上に設けられる前記バイポーラトランジスタのベース領域は、シリコンよりもキャリア移動度が高い半導体膜からなり、前記バイポーラトランジスタのベース取り出し領域及び前記容量素子の下部電極は、前記半導体膜とその下層のポリシリコン膜との 2 層構造からなることを特徴とする半導体装置。

【請求項 9】 前記半導体基板の素子分離領域上には、前記半導体膜とその下層のポリシリコン膜との 2 層構造からなる抵抗体が設けられたこと、を特徴とする請求項 8 記載の半導体装置。

【請求項 10】 前記半導体膜は、ゲルマニウムを含有するシリコンからなることを特徴とする請求項 8 記載の

半導体装置。

【請求項 11】 シリコンからなる半導体基板の表面側にヘテロ接合バイポーラトランジスタを設け、前記半導体基板の表面側における素子分離領域上に容量素子を設けてなる半導体装置の製造方法であって、素子分離領域が設けられた半導体基板上に、シリコンよりもキャリア移動度の高い半導体膜を成膜する工程と、前記半導体膜をパターニングすることによって、前記半導体基板における活性領域の露出面上に当該半導体膜からなるバイポーラトランジスタのベース領域を形成すると共に、前記素子分離領域上に前記容量素子の下部電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 11 記載の半導体装置の製造方法において、前記ベース領域と前記下部電極とを形成する工程では、前記半導体膜をパターニングすることによって当該半導体膜からなる抵抗体を前記素子分離領域上に形成することを特徴とする半導体装置の製造方法。

【請求項 13】 シリコンからなる半導体基板の表面側にヘテロ接合バイポーラトランジスタを設け、前記半導体基板の表面側における素子分離領域上に容量素子を設けてなる半導体装置の製造方法であって、素子分離領域が設けられた半導体基板上に、ポリシリコン膜を成膜し、当該ポリシリコン膜に当該半導体基板における活性領域の露出面にまで達する開口部を設ける工程と、前記開口部の内壁を覆う状態で前記ポリシリコン膜上にシリコンよりもキャリア移動度の高い半導体膜を成膜する工程と、前記半導体膜及び前記ポリシリコン膜をパターニングすることによって、前記活性領域の露出面上に前記半導体膜からなるベース領域を形成すると共に、前記素子分離領域上に前記半導体膜と前記ポリシリコン膜とからなるベース取り出し領域及び前記容量素子の下部電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 13 記載の半導体装置の製造方法において、前記ベース領域と前記下部電極とを形成する工程では、前記半導体膜及び前記ポリシリコン膜をパターニングすることによって当該半導体膜及びポリシリコン膜からなる抵抗体を前記素子分離領域上に形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置及び半導体装置の製造方法に関し、特には半導体基板の表面側に容量素子を設けてなる半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】半導体基板の表面側に設けられる容量素子は、例えば半導体基板の表面層に設けられた拡散層からなる下部電極を備えたものや、半導体基板の素子分離領域上に設けられたポリシリコンからなる下部電極を備えたものがある。このような容量素子は、上記下部電極の上面に設けられた誘電膜と、誘電膜の上面に設けられた上部電極とを備えた構成になっている。

【0003】そして、拡散層からなる下部電極は、例えば容量素子が配置されると同一の半導体基板の表面側に設けられる縦型バイポーラトランジスタのコレクタ取り出し拡散層と同一工程で形成される。また、ポリシリコンからなる下部電極は、例えば上記バイポーラトランジスタのポリシリコンベース電極と同一工程で形成される。

【0004】上記のようにして下部電極を形成することで、より少ない工程数でバイポーラトランジスタと容量素子とを有する半導体装置を製造することができる。

## 【0005】

【発明が解決しようとする課題】しかし、上記のような容量素子を有する半導体装置には、以下のような課題があった。すなわち、縦型バイポーラトランジスタのコレクタ取り出し拡散層は半導体基板中の埋め込みコレクタに接続される程度に十分な深さでかつ高濃度に形成する必要がある。このため、このコレクタ取り出し拡散層と同一工程で形成された下部電極は、埋め込みコレクタが配置される逆導電型の基板主材に達する深さにまで及び、かつ不純物濃度の高いものになる。したがって、基板主材と下部電極との間のPNジャンクション部に大きな寄生容量が生じてしまう。

【0006】また、上記容量素子がポリシリコンからなる下部電極を備えたものである場合、当該下部電極が素子分離領域上に配置されることから下部電極の下方に形成される寄生容量は大幅に低減できる。しかし、この下部電極をバイポーラトランジスタのポリシリコンベース電極と同一工程で形成する場合には、その抵抗値はバイポーラトランジスタの特性によって決定される。このため、下部電極の抵抗値が高くなり、周波数特性が劣化するという問題がある。

## 【0007】

【課題を解決するための手段】本発明は、上記の課題を解決するためになされた半導体装置及び半導体装置の製造方法である。すなわち本発明における請求項1記載の半導体装置は、シリコンからなる半導体基板の素子分離領域上に容量素子を配置してなる半導体装置において、容量素子の下部電極はシリコンよりもキャリア移動度が高い半導体膜からなることを特徴としている。この半導体膜としては、好ましくはゲルマニウムを含有するシリコンを用いる。

【0008】上記半導体装置では、シリコンよりもキャ

リア移動度が高い半導体膜で上記下部電極を形成することから、この下部電極の抵抗値は、ポリシリコンからなる下部電極やシリコンからなる半導体基板中の拡散層からなる下部電極と比較して、不純物量に対する抵抗値が小さくなる。しかも、容量素子の下部電極が素子分離領域上に配置されていることから、下部電極の下方に形成される寄生容量は小さくなる。

【0009】また、本発明における請求項3記載の半導体装置は、半導体基板の表面側に上記容量素子と共にヘテロ接合バイポーラトランジスタを配置してなる半導体装置において、バイポーラトランジスタのベース領域及び上記容量素子の上部電極が、上記と同様の半導体膜からなることを特徴としている。また、上記素子分離領域上には、上記半導体膜からなる抵抗体を設けても良く、さらに上記半導体膜としては、好ましくはゲルマニウムを含有するシリコンを用いる。

【0010】上記請求項3記載の半導体装置では、シリコンよりもキャリア移動度が高い半導体膜でバイポーラトランジスタのベース領域と容量素子の下部電極が形成される。このことから、当該下部電極は、上記請求項1記載の半導体装置における下部電極と同様に抵抗値が小さく、さらにはバイポーラトランジスタのベース領域と同一工程で形成されるものになる。しかも、下部電極が素子分離領域上に配置されていることから、下部電極の下方に形成される寄生容量は小さくなる。また、素子分離領域上に上記半導体膜からなる抵抗体を設けた場合には、この抵抗体はポリシリコンからなる抵抗体よりも抵抗値が小さいものになる。

【0011】そして、本発明における請求項6記載の半導体装置は、半導体基板の素子分離領域上に設けられる容量素子の下部電極が、下層のポリシリコン膜と上層の上記半導体膜との2層構造からなることを特徴としている。上記半導体膜としては、好ましくはゲルマニウムを含有するシリコンを用いる。

【0012】上記半導体装置では、容量素子の下部電極がポリシリコン膜と上記半導体膜との2層構造になっていることから、上記請求項1記載の半導体装置よりも下部電極の抵抗値が小さくなる。

【0013】そして、本発明における請求項8記載の半導体装置は、上記半導体基板の表面側に上記請求項6の容量素子と共にヘテロ接合バイポーラトランジスタを配置してなる半導体装置において、上記バイポーラトランジスタのベース領域は上記半導体膜からなり、ベース取り出し領域は上記半導体膜とその下層のポリシリコン膜とからなることを特徴としている。また、上記素子分離領域上には、上記半導体膜とポリシリコン膜とからなる抵抗体を設けても良く、上記半導体膜としては、好ましくはゲルマニウムを含有するシリコンを用いる。

【0014】上記請求項8記載の半導体装置では、シリコンよりもキャリア移動度が高い半導体膜とポリシリコ

ン膜との 2 層構造でバイポーラトランジスタのベース取り出し領域と容量素子の下部電極が形成される。このことから、当該下部電極は、上記請求項 1 記載の半導体装置における下部電極よりも抵抗値が小さくなり、バイポーラトランジスタのベース取り出し領域と同様に抵抗値を小さくできる。さらに、上記下部電極は、上記ベース取り出し領域と同一工程で形成されるものになる。しかも、下部電極が素子分離領域上に配置されていることから、下部電極の下方に形成される寄生容量は小さくなる。また、素子分離領域上に上記半導体膜及びポリシリコン膜からなる抵抗体を設けた場合には、この抵抗体はポリシリコンからなる抵抗体よりも抵抗値が小さいものになる。

【0015】さらに、本発明における請求項 1 1 記載の半導体装置の製造方法は、シリコンからなる半導体基板の表面側にヘテロ接合バイポーラトランジスタと容量素子とを設けてなる半導体装置の製造方法であり、以下のように行う。まず、素子分離領域が設けられた半導体基板上にシリコンよりもキャリア移動度の高い半導体膜を成膜する。次に、この半導体膜をパターニングすることによって、バイポーラトランジスタ形成領域における活性領域上に上記半導体膜からなるベース領域を形成し、素子分離領域上にこの半導体膜からなる容量素子の下部電極を形成する。

【0016】上記半導体装置の製造方法では、シリコンよりもキャリア移動度の高い半導体膜をパターニングすることによって、バイポーラトランジスタのベース領域と容量素子の下部電極とが形成される。このため、低抵抗な下部電極が上記バイポーラトランジスタと同一の製造工程で形成される。さらに、下部電極は、素子分離領域上に設けられることから、寄生容量が小さい容量素子が得られる。

【0017】また、本発明における請求項 1 3 記載の半導体装置の製造方法は、請求項 1 1 と同様にバイポーラトランジスタと容量素子とを設けてなる半導体装置の製造方法であり、以下のように行う。まず、上記請求項 1 1 と同様の半導体基板上にポリシリコン膜を成膜し、このポリシリコン膜に上記半導体基板のバイポーラトランジスタ形成部における活性領域に達する開口部を設ける。次に、この開口部の内壁を覆う状態でシリコンよりもキャリア移動度の高い半導体膜を上記ポリシリコン膜上に成膜する。その後、半導体膜及びポリシリコン膜をパターニングすることによって、上記半導体膜からなるベース領域を形成すると共に、上記素子分離領域上にポリシリコン膜及び半導体膜からなるベース取り出し領域及び容量素子の下部電極を形成する。

【0018】上記半導体装置の製造方法では、ポリシリコン膜とこの上部に積層された半導体層とをパターニングすることによって、バイポーラトランジスタのベース領域と容量素子の下部電極とが形成される。このため、

上記請求項 1 1 よりもさらに低抵抗な下部電極が上記バイポーラトランジスタと同一の製造工程で形成される。さらに、下部電極は、素子分離領域上に設けられることから、寄生容量が小さい容量素子が得られる。

【0019】

【発明の実施の形態】以下、本発明の半導体装置及び半導体装置の製造方法の実施の形態を説明する。ここでは、シリコンからなる半導体基板の表面側に、NPN型のヘテロ接合バイポーラトランジスタと抵抗素子と容量素子とを設けてなる半導体装置の製造手順を説明する。尚、各実施形態で同様の構成要素には同一の符号を用いて説明を行う。また、バイポーラトランジスタをPNP型にする場合には、実施形態中における導電型を全て逆にするものとする。

【0020】（第 1 実施形態）図 1 及び図 2 は、本発明の半導体装置の製造方法の一例を示す図であり、以下に、これらの図を用いて本発明の第 1 実施形態を説明する。

【0021】まず、図 1 (1) に示すように、表面側にバイポーラトランジスタ形成部 A と抵抗素子形成部 B と容量素子形成部 C とを有する P 型のシリコン基板 1 1 上に、900~1000℃程度のスチーム酸化によって酸化シリコン膜 1 2 を 300nm 程度の膜厚で成膜する。次に、バイポーラトランジスタ形成部 A 上における酸化シリコン膜 1 2 に埋め込みコレクタを形成するための開口部 1 3 を形成した後、固体拡散ソースを用いて 1100~1250℃程度の温度で開口部 1 3 底面のシリコン基板 1 1 中に N 型不純物を拡散させる。これによって、シリコン基板 1 1 の表面層に N 型の埋め込みコレクタ 1 4 を形成する。上記固体拡散ソースとしては、例えば Sb<sub>2</sub>O<sub>3</sub> を用いる。この場合、埋め込みコレクタ 1 4 には、N 型不純物として Sb が拡散される。

【0022】次に、酸化シリコン膜 1 2 を除去した後、図 1 (2) に示すように、シリコン基板 1 1 上に抵抗率 0.3~5.0Ω・cm 程度の N 型シリコンのエピタキシャル層 1 5 を 0.7~2.0μm 程度の膜厚で成膜する。これによって埋め込みコレクタ 1 4 中の N 型不純物がエピタキシャル層 1 5 内に拡散される。次いで、エピタキシャル層 1 5 上にパッド酸化膜 1 6 を 10~50nm 程度の膜厚で成膜し、この上面に減圧 CVD (Chemical Vapour Deposition) 法によって窒化シリコンからなる酸化防止膜 1 7 を 50~70nm 程度の膜厚で成膜する。

【0023】しかる後、バイポーラトランジスタ形成部 A のベース形成部分及びコレクタ取り出し部分を覆うレジストパターン（図示せず）を酸化防止膜 1 7 上に成膜し、このレジストパターンをマスクに用いて酸化防止膜 1 7、パッド酸化膜 1 6 及びエピタキシャル層 1 5 の表面層をエッチング除去する。このエッチングは、RIE (Reactive Ion Etching) のような既存の技術によって

行い、その後、上記レジストパターンを除去する。

【0024】次に、図1(3)に示すように、950℃～1100℃程度のスチーム酸化によって、酸化防止膜(17)から露出しているエピタキシャル層15の表面層に0.6～1.2μm程度の膜厚の酸化膜シリコンからなる素子分離領域18を成膜する。これによって、シリコン基板11とこの上面のエピタキシャル層15とからなりエピタキシャル層15の表面層に素子分離領域18を設けてなる半導体基板10を形成する。

【0025】その後、熱リン酸によるウェットエッチングによって、エピタキシャル層15上の酸化防止膜(17)を除去する。次に、レジストパターン(図示せず)をマスクに用いたイオン注入及びその後の熱処理によって、バイポーラトランジスタ形成部AにN型のコレクタ取り出し領域19を形成する。この際、上記イオン注入においてはリンイオンを $5 \times 10^{15} \sim 2 \times 10^{16}$ 個/cm<sup>2</sup>程度導入し、上記熱処理を950～1100℃程度の温度で行う。

【0026】その後、さらに別のレジストパターン(図示せず)をマスクに用いたイオン注入及びその後の熱処理によって、素子分離領域18の下層にP型の分離拡散層20を形成する。この際、上記イオン注入においてはP型不純物として、ホウ素イオンを $5 \times 10^{13} \sim 5 \times 10^{14}$ 個/cm<sup>2</sup>程度導入し、上記熱処理を900～1000℃程度の温度で行う。

【0027】次に、フッ酸系の薬液を用いたウェットエッチングによって、エピタキシャル層15上のパッド酸化膜(16)を除去する。その後、半導体基板10上にシリコンとゲルマニウムとの混晶層(Si-Ge層)21を成膜し、さらにこの上面に連続してN型のシリコン層22を成膜する。このSi-Ge層21が請求項に示す半導体膜になる。そして、これらの各層の成膜は、超高真空CVD法や分子線エピタキシャル法によって成膜することとする。しかる後、減圧CVD法によって、シリコン層22上に窒化シリコン膜23を50～60nm程度の膜厚で成膜する。

【0028】次に、図1(4)に示すように、バイポーラトランジスタのエミッタ領域形成部分における窒化シリコン膜23上にレジストパターン24を形成する。そしてレジストパターン24をマスクに用いたエッチングによって、窒化シリコン膜23及びシリコン層22をエッチングし、当該シリコン層22からなるN型のエミッタ領域22aを形成する。この際、シリコン層22のオーバーエッチングによってSi-Ge層21も膜減りする。

【0029】次に、上記レジストパターン24を除去した後、図1(5)に示すように、Si-Ge層21のパターニングを行い、バイポーラトランジスタ形成部AにこのSi-Ge層21からなるベース領域21aを形成し、素子分離領域18上における抵抗素子形成部Bに

のSi-Ge層21からなる抵抗体21bを形成し、素子分離領域18上における容量素子形成部CにこのSi-Ge層21からなる下部電極21cを形成する。

【0030】その後、バイポーラトランジスタ形成部A上のエミッタ領域22a及びその上面の窒化シリコン膜23の側壁に酸化シリコンからなるサイドウォール25を形成する。

【0031】次に、図2(6)に示すように、少なくともコレクタ取り出し領域19を覆うレジストパターン26を形成し、このレジストパターン26及び窒化シリコン膜23及びサイドウォール25をマスクに用いたイオン注入によって、上記Si-Ge層21にP型不純物を導入する。この際、例えば、ホウ素イオンまたは二フッ化ホウ素イオンを $5 \times 10^{14} \sim 5 \times 10^{15}$ 個/cm<sup>2</sup>程度導入する。

【0032】この際、窒化シリコン膜23がマスクになり、N型のエミッタ領域22a内にP型不純物が導入されることはない。またエミッタ領域22a及びサイドウォール25の側方下部におけるベース領域21a部分、すなわちベース取り出し領域になる部分にのみ選択的にP型不純物が導入される。これによって、上記シリコン層22のオーバーエッチングで膜減りしたSi-Ge層21からなる抵抗体21b及び下部電極21cの抵抗値を下げることができる。

【0033】次に、レジストパターン26を除去し、さらに熱リン酸を用いたウェットエッチングによって窒化シリコン膜23を除去する。その後、図2(7)に示すように、CVD法によって、Si-Ge層21で構成される各部品やエミッタ領域22a及びサイドウォール25を覆う状態で半導体基板10上に300～500nm程度の膜厚の酸化シリコンからなる層間絶縁膜27を成膜する。

【0034】しかる後、900～1000℃程度の温度で熱処理を行い、先の工程でSi-Ge層21に導入したP型不純物を活性化させる。

【0035】次に、レジストパターン(図示せず)をマスクに用いたエッチングによって、層間絶縁膜27に下部電極21cにまで達する開口部28を形成する。この開口部28の開口面積によって容量素子の容量値が決定される。次いで、上記レジストパターンを除去した後、開口部28の内壁を覆う状態で層間絶縁膜27上に誘電膜29を成膜する。この際、減圧CVD法によって、膜厚20～50nm程度の窒化シリコン膜を成膜し、この窒化シリコン膜を誘電膜29とする。

【0036】次に、図2(8)に示すように、誘電膜29をパターニングすることによって、容量素子形成部C上にのみ下部電極21cに接続させる状態で誘電膜29を残す。ここでのパターニングは、レジストパターン(図示せず)をマスクに用いたRIEによって行い、パターニング後には当該レジストパターンを除去する。

【0037】次に、図2(9)に示すように、レジストパターン(図示せず)をマスクに用いて層間絶縁膜27をエッチングし、当該層間絶縁膜27に、ベース領域21aに達するコンタクトホール30a、エミッタ領域22aに達するコンタクトホール30b、コレクタ取り出し領域19に達するコンタクトホール30c、抵抗体21bの両端にそれぞれ個別に達するコンタクトホール30d、30e及び下部電極21cに達するコンタクトホール30fを形成する。

【0038】次に、図2(10)に示すように、各コンタクトホール30a~30fの底面に接続され、また誘電膜29上に配置される配線31を形成する。この配線31は、チタン(Ti)と窒化酸化チタン(TiON)とチタン(Ti)とを順に積層させてなるバリアメタルとこのバリアメタル上に成膜された0.6~0.8 $\mu$ m程度の膜厚のアルミニウムとからなる。

【0039】以上によって、シリコンからなる半導体基板10の表面側にヘテロ接合バイポーラトランジスタ1aと抵抗体21bを有する抵抗素子1bと下部電極21c及び誘電膜29を有するMIS型の容量素子1cとを設けてなる半導体装置1が形成される。上記バイポーラトランジスタ1aのベース領域21aと上記抵抗体21bと上記下部電極21cとは、Si-Ge層21からなる。

【0040】ここで、Ge中における電子の移動度は3900 $\text{cm}^2/\text{Vsec}$ であり、正孔の移動度は1900 $\text{cm}^2/\text{Vsec}$ である。これに対して、Si中における電子の移動度は1350 $\text{cm}^2/\text{Vsec}$ であり、正孔の移動度は480 $\text{cm}^2/\text{Vsec}$ である。このため、SiとGeとの混晶からなるSi-Ge層21からなる抵抗体21b及び下部電極21cは、ベース領域21aとして適切な不純物濃度で十分に低抵抗化が図られる。また、上記下部電極1cは、素子分離領域18上に設けられるため、この下部電極1cの下方の半導体基板10中に大きな寄生容量が形成されることはない。したがって、Q(Quality)値が高く高周波数特性で、かつ低寄生容量の容量素子1cを得ることができる。

【0041】しかも、上記製造方法では、バイポーラトランジスタ1aのベース領域21aと上記抵抗体1b及び下部電極1cを同一工程で形成することができる。

【0042】(第2実施形態)図3及び図4は、本発明の半導体装置の製造方法の一例を示す図であり、以下に、これらの図を用いて本発明の第2実施形態を説明する。

【0043】まず、図3(1)に示す工程を、上記第1実施形態で図1(1)を用いて説明したと同様に行い、シリコン基板11のバイポーラトランジスタ形成部Aに埋め込みコレクタ14を形成する。その後、図3(2)に示す工程を、上記第1実施形態で図1(2)を用いて説明したと同様に行い、シリコン基板11上におけるエ

ピタキシャル層15の表面層、パッド酸化膜16及び酸化防止膜17を所定パターンでエッチングする。

【0044】その後、図3(3)のように、上記第1実施形態で図1(3)を用いて説明したと同様にしてエピタキシャル層15の表面に素子分離領域18を形成する。これによって、シリコン基板11とこの上面のエピタキシャル層15とからなりエピタキシャル層15の表面層に素子分離領域18を設けてなる半導体基板10を形成する。次に、この半導体基板10の表面側に、上記第1実施形態と同様にしてコレクタ取り出し領域19及び分離拡散層20を形成する。

【0045】そして、次の工程からが、上記第1実施形態と本第2実施形態との異なる工程になる。すなわち、本実施形態では、上記半導体基板10上に、CVD法によって100~200nm程度の膜厚のポリシリコン膜41を成膜する。次に、イオン注入によって、このポリシリコン膜41中にP型不純物を導入する。ここでは、P型不純物としてホウ素イオンまたは二フッ化ホウ素イオンを $5 \times 10^{14} \sim 5 \times 10^{15}$ 個/ $\text{cm}^2$ 程度導入する。

【0046】その後、図3(4)に示すように、ポリシリコン膜41のパターニングを行う。ここでは、素子分離領域18上にポリシリコン膜41を残す状態で当該ポリシリコン膜41をエッチング除去する。

【0047】次に、このポリシリコン膜41を覆う状態で半導体基板10上にSi-Ge層21、シリコン層22及び窒化シリコン膜23を成膜する。これらの各層の成膜は、上記第1実施形態で図1(3)を用いて説明したと同様に行う。

【0048】その後、図3(5)に示す工程では、上記第1実施形態で図1(4)を用いて説明したと同様にして窒化シリコン膜23及びシリコン層22をエッチングし、当該シリコン層22からなるN型のエミッタ領域22aを形成する。この際、シリコン層22のオーバーエッチングによってSi-Ge層21も膜減りする。

【0049】次に、図4(6)に示すように、レジストパターン(図示せず)をマスクに用いたエッチングによってSi-Ge層21及びポリシリコン膜41のパターニングを行う。これによって、バイポーラトランジスタ形成部Aに、このSi-Ge層21からなるベース領域21aとSi-Ge層21及びポリシリコン膜41からなるベース取り出し領域41aを形成する。また、素子分離領域18上における抵抗素子形成部BにSi-Ge層21及びポリシリコン膜41からなる抵抗体41bを形成し、素子分離領域18上における容量素子形成部CにSi-Ge層21及びポリシリコン膜41からなる下部電極41cを形成する。

【0050】その後、図4(7)~図4(11)に示す各工程は、上記第1実施形態で図2(6)~図2(10)を用いて説明したと同様に行う。これによって、図

4 (11) に示すように、ヘテロ接合バイポーラトランジスタ4aと抵抗素子4bと容量素子4cとを同一の半導体基板10の表面側に形成してなる半導体装置4を完成させる。

【0051】上記半導体装置4においては、バイポーラトランジスタ4aのベース領域21aは、Si-Ge層21からなる。また、バイポーラトランジスタ4aのベース取り出し領域41a、抵抗素子4bの抵抗体41b及び容量素子4cの下部電極41cは、Si-Ge層21とその下層のポリシリコン膜41とからなる。

【0052】上記ベース取り出し領域41a、抵抗体41b及び下部電極41cは、上記第1実施形態で説明したようにキャリアの移動度が高いSi-Ge層21とこの下面に設けたポリシリコン膜41との2層構成である。このため、上記第1実施形態の抵抗体(21b)及び(下部電極21c)と比較して、その抵抗値をさらに低くすることができる。

【0053】また、上記第1実施形態と同様に、容量素子4cの下部電極41cは、素子分離領域18上に設けられるため、この下部電極41cの下方の半導体基板10中に大きな寄生容量が形成されることはない。したがって、Q (Quality) 値が高く高周波数特性で、かつ低寄生容量の容量素子4cを得ることができる。

【0054】しかも、上記製造方法では、バイポーラトランジスタ4aのベース領域21a及びベース取り出し領域41aと上記抵抗体41b及び下部電極41cを同一工程で形成することができる。

【0055】

【発明の効果】以上説明したように本発明の半導体装置は、容量素子の下部電極やヘテロ接合バイポーラトランジスタのベース領域、ベース取り出し領域さらには抵抗素子の抵抗体を、Si-Geのようなシリコンよりもキャリア移動度が高い半導体膜やこの半導体膜とポリシリ

コン膜との2層構成にすることで、下部電極及び抵抗体を低抵抗化することができる。また、この下部電極は素子分離領域上に配置されることから、容量素子は低寄生容量になる。したがって、高Q値で周波数特性が良好で、しかも寄生容量が小さい容量素子を得ることが可能になる。

【0056】そして、本発明の半導体装置の製造方法では、容量素子の下部電極やヘテロ接合バイポーラトランジスタのベース領域、ベース取り出し領域さらには抵抗素子の抵抗体を、同一の半導体膜をパターンニングして形成することで、上記低抵抗の下部電極を有する容量素子の製造工程の一部をバイポーラトランジスタの製造工程の一部と兼用することができ、半導体装置の製造工程を削減することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1実施形態を説明する図(その1)である。

【図2】本発明の第1実施形態を説明する図(その2)である。

【図3】本発明の第2実施形態を説明する図(その1)である。

【図4】本発明の第2実施形態を説明する図(その2)である。

【符号の説明】

1, 4 半導体装置 1a, 4a バイポーラトランジスタ

1c, 4c 容量素子 10 半導体基板 18 素子分離領域

21 Si-Ge層(半導体膜) 21a ベース領域

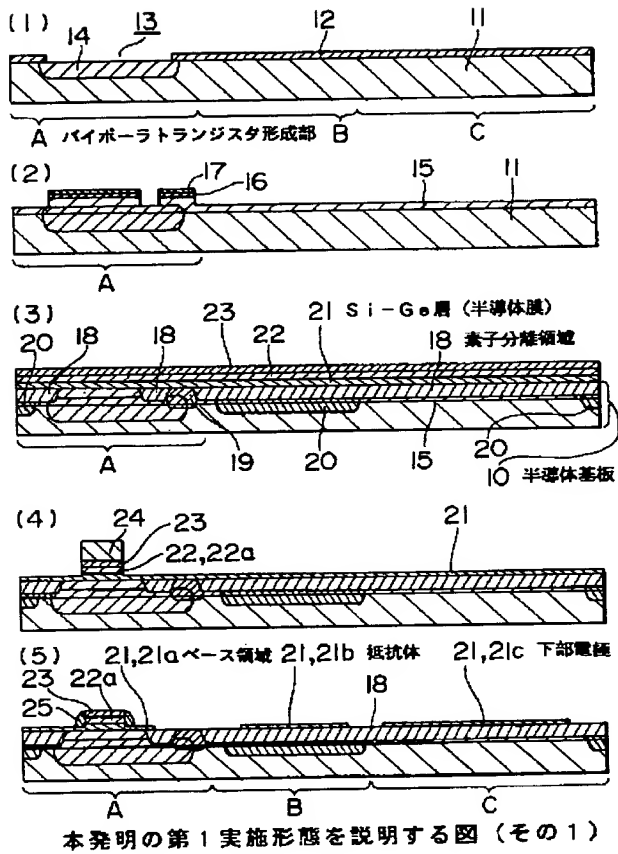
21b, 41b 抵抗体 21c, 41c 下部電極

41 ポリシリコン膜 41a ベース取り出し領域

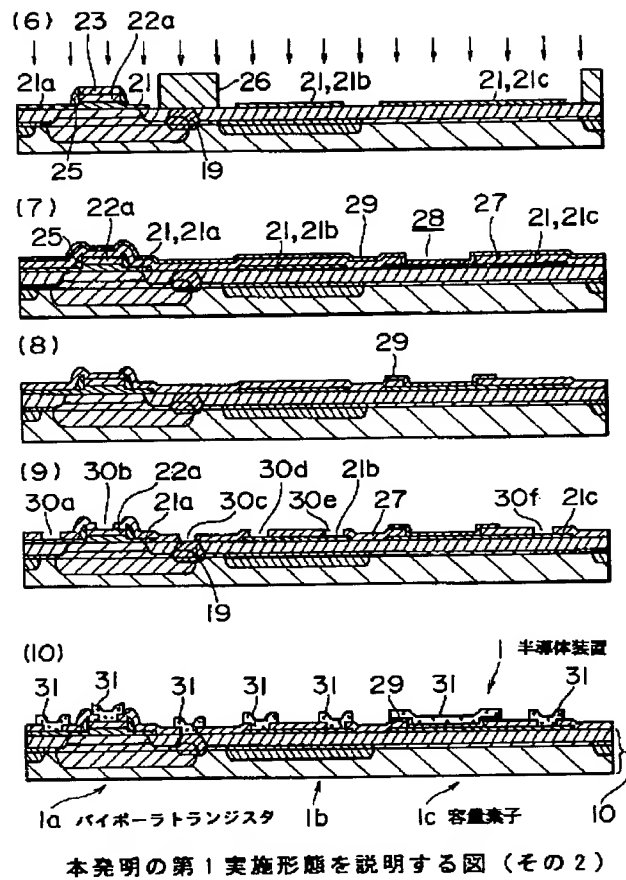
A バイポーラトランジスタ形成部



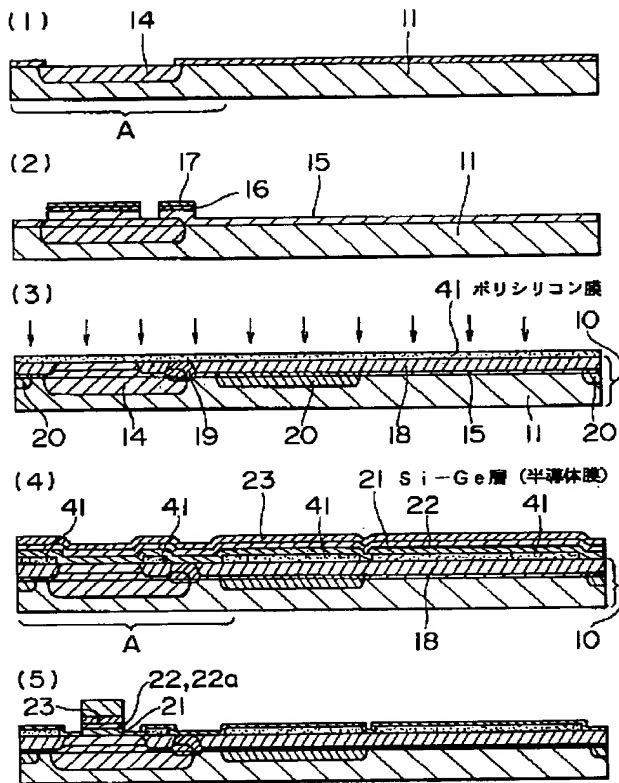
【図1】



【図2】

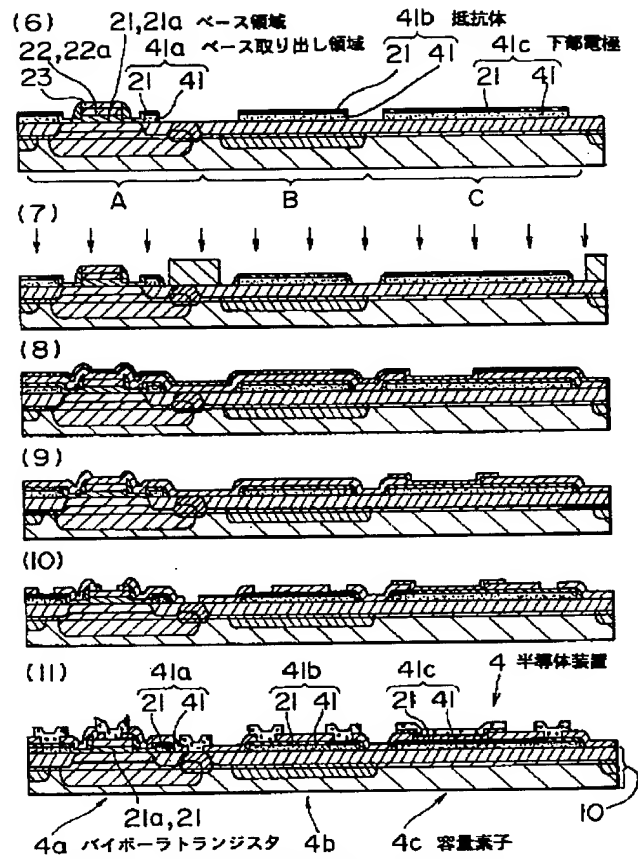


【図3】



本発明の第2実施形態を説明する図 (その1)

【図4】



本発明の第2実施形態を説明する図 (その2)